

DOI: <https://doi.org/10.70208/3007.8245.v6.n1.436>

De la cristalización del silicio a la litografía EUV: proceso integral de fabricación de wafers y fundamentos físico-ingenieriles de los escáneres de ASML

Baldo Alberto Luigi Dalportobaldo.dalporto@intec.edu.do<https://orcid.org/0009-0008-8719-1562>

Universidad INTEC, República Dominicana

Sabine MarySabine.mary@intec.edu.do<https://orcid.org/0009-0004-3488-9511>Instituto Tecnológico de Santo Domingo (INTEC), Santo Domingo
Dominican Republic**Santiago Gallur**Santiago.gallur@intec.edu.do<https://orcid.org/0000-0001-6287-7340>

Instituto Tecnológico de Santo Domingo (INTEC), Santo Domingo, Dominican Republic

RESUMEN

La fabricación de circuitos integrados avanzados depende de una cadena de procesos altamente acoplados que comienza con la obtención de un wafer de silicio monocristalino y culmina en la transferencia de patrones nanométricos mediante fotolitografía. Este tratado presenta una revisión técnico-académica, a nivel doctoral, del proceso de creación de wafers de silicio y de los principios físico-ingenieriles de la litografía de ultravioleta extremo (EUV, 13.5 nm) empleada en los sistemas de ASML. Se describe el flujo completo desde la purificación y crecimiento cristalino (Czochralski y Float-Zone), el acondicionamiento geométrico y superficial (sawing, lapping, etching, pulido y limpieza), y la especificación metrológica (orientación, rugosidad, dopaje y resistividad), hasta el conjunto de subsistemas que definen EUV: generación de luz por plasma de estaño excitado por láser, óptica exclusivamente reflectiva, retículas multicapa Mo/Si, pellicle, vacío, control de contaminación, etapas mecánicas de ultra-precisión y presupuestos de overlay. Se discuten límites fundamentales y prácticos (shot noise, estocasticidad en resist, line-edge roughness, defectividad de máscara y flare) y se sintetizan trayectorias tecnológicas desde 0.33 NA (NXE) hasta High-NA 0.55 (EXE) en términos de resolución, complejidad de proceso y productividad. El manuscrito integra modelos de resolución, consideraciones de energía fotónica (~92 eV) y mecanismos de interacción fotón-materia en resist, con énfasis en los trade-offs que condicionan nodos Q2/Q1 de manufactura.

Palabras clave: wafer de silicio; Czochralski, Float-Zone, EUV, ASML

From silicon crystal growth to EUV lithography: end-to-end wafer fabrication and the physical–engineering foundations of ASML scanners

ABSTRACT

Advanced integrated-circuit manufacturing relies on a tightly coupled process chain that starts with a monocrystalline silicon wafer and culminates in nanoscale pattern transfer by photolithography. This doctoral-level treatise provides a technical–academic review of silicon wafer manufacturing and the physical–engineering foundations of extreme ultraviolet (EUV, 13.5 nm) lithography as implemented in ASML scanners. The workflow is presented from purification and crystal growth (Czochralski and Float-Zone), through geometric and surface conditioning (sawing, lapping, etching, polishing, and cleaning) and metrology-driven specifications (orientation, roughness, doping, resistivity), to the EUV ecosystem: tin-plasma laser-produced light sources, fully reflective optics, Mo/Si multilayer reticles, pellicles, vacuum operation, contamination control, ultra-precision mechatronics, and overlay budgets. Fundamental and practical limits—photon shot noise, resist stochasticity, line-edge roughness, mask defectivity, and flare—are discussed, and technology roadmaps from 0.33-NA NXE systems to 0.55-NA High-NA EXE platforms are synthesized in terms of resolution, process simplification, and productivity. The manuscript integrates resolution models, photon energy (~ 92 eV), and EUV photon–matter interaction mechanisms in resists, emphasizing the trade-offs that govern Q2/Q1 manufacturing nodes.

Keywords: silicon wafer, Czochralski, Float-Zone, EUV lithography, ASML



INTRODUCCIÓN

La micro y nano-fabricación contemporánea se estructura como una cadena de valor físico-química y mecatrónica donde la calidad final del dispositivo se “hereda” de condiciones iniciales: pureza del silicio, defectología cristalina, microrugosidad superficial del wafer, estabilidad dimensional, y control estadístico de procesos. En nodos avanzados, el escalado geométrico deja de ser una mera reducción de longitudes y se convierte en una convergencia de límites fundamentales (difracción, energía fotónica, estadística de fotones) y límites de ingeniería (estabilidad térmica-mecánica, control de contaminación, defectividad, productividad).

La litografía EUV (13.5 nm) emerge como respuesta a la imposibilidad práctica de continuar escalando únicamente con ArF inmersión y multipatronado. En EUV, el sistema óptico es reflectivo, el entorno opera en vacío y la fotónica se mueve en un régimen de energía por fotón del orden de decenas de eV, lo que introduce física de absorción y generación de electrones secundarios que transforma los mecanismos de revelado y las estadísticas de defectos en resist. Paralelamente, el wafer —substrato universal— debe cumplir especificaciones cada vez más estrictas de planitud, rugosidad y distribución de dopaje para garantizar uniformidad de foco, overlay, y estabilidad de proceso.

Este manuscrito integra (i) el proceso de creación y especificación de wafers de silicio, y (ii) el ecosistema EUV con énfasis explícito en plataformas de ASML (NXE 0.33 NA y EXE 0.55 NA) y sus implicaciones en resolución, máscara, resist y metrología. La perspectiva adoptada es de ingeniería-física: modelos, mecanismos, parámetros dominantes y trade-offs, orientado a publicación de alto nivel.

DESARROLLO

Creación del wafer de silicio: de la materia prima al “prime wafer”

Purificación del silicio: de SiO_2 a polisilicio electrónico

El punto de partida industrial suele ser sílice (SiO_2) que, tras reducción carbotérmica, produce silicio metalúrgico. Para electrónica, se requiere purificación adicional típica del esquema Siemens (triclorosilano/silano) para obtener polisilicio de alta pureza (grado electrónico). Aunque los detalles industriales incluyen rutas propietarias, el principio físico es la separación por volatilidad y reactividad química, reduciendo impurezas metálicas (que actúan como centros de recombinación) a niveles



extremadamente bajos. En un marco académico, esta etapa se interpreta como control del potencial químico y de equilibrios gas-sólido para “limpiar” el material de partida.

Crecimiento monocristalino: Czochralski (CZ) y Float-Zone (FZ)

Los wafers se producen principalmente por dos métodos: **Czochralski** y **Float-Zone**, que definen un compromiso entre costo, tamaño, resistividad y contenido de oxígeno/impurezas. En términos de especificación, la producción comercial indica explícitamente que los wafers de silicio se obtienen mediante CZ o FZ y que FZ se reserva para resistividades muy altas (p. ej., $>100 \Omega \cdot \text{cm}$) o requisitos de impurezas reducidas.

Czochralski (CZ): cinética de solidificación y dopaje

En CZ, el polisilicio se funde en un crisol (frecuentemente de cuarzo) y se extrae un cristal mediante una semilla orientada cristalográficamente. La rotación del cristal y del crisol estabiliza el gradiente térmico y la interfaz sólido-líquido. El dopaje (B para p-tipo; P/As para n-tipo) se incorpora en el fundido y se distribuye según el coeficiente de segregación, generando variaciones axiales/radiales que se gestionan mediante diseño térmico y parámetros de pulling.

La presencia de crisol implica incorporación de oxígeno (por interacción con SiO_2), lo cual puede ser deseable para ingeniería de defectos (p. ej., gettering interno) o indeseable para aplicaciones de alta resistividad. A nivel doctoral, la discusión relevante es que CZ es un sistema de solidificación controlada por transporte de calor y masa, donde la estabilidad de la interfaz y la convección determinan defectos (dislocaciones, swirl defects) y variaciones de dopaje.

Float-Zone (FZ): minimización de impurezas

FZ evita el crisol: una zona fundida se desplaza a lo largo de una barra de polisilicio por calentamiento localizado, refinando el material y minimizando oxígeno. La referencia industrial consultada describe explícitamente que FZ es más costoso y se usa cuando se requiere alta resistividad. Desde el punto de vista físico, FZ maximiza la “purificación por zone refining” y reduce impurezas asociadas al contenedor.



De lingote a cilindro: conformado, orientación y slicing

Tras el crecimiento, el monocristal se rectifica a diámetro objetivo y se corta en cilindros manejables. Se añade una marca de orientación (flat o notch) para indicar orientación cristalográfica y, en wafers de mayor diámetro, se utiliza notch.

El **slicing** se realiza típicamente mediante:

- **Inside hole saw (annular saw):** buena planitud/superficie inicial pero menor throughput.
- **Wire saw:** alto throughput; corta cientos de wafers a la vez, pero deja superficie menos lisa, requiriendo más lapping posterior.

La mecánica del wire-saw (alambre de alta calidad, abrasivo y velocidad) induce daño subsuperficial y micro-fracturas, que deben eliminarse en etapas posteriores. En términos de ciencia de materiales, esta etapa introduce una capa dañada con densidad de defectos que afectaría crecimiento epitaxial y confiabilidad si no se remueve.

Lapping, etching, pulido y limpieza: ingeniería de superficie

Lapping: remoción de daño y control de espesor

Tras el corte, el lapping elimina silicio dañado y ajusta espesor. Se ejecuta entre pads contra-rotantes con slurry abrasivo (p. ej., Al_2O_3 o SiC). Físicamente, el lapping reduce tensiones residuales y remueve daño subsuperficial, pero deja rugosidad micrométrica.

Etching: restauración cristalina superficial

El slicing y lapping degradan la estructura cristalina superficial; el etching químico remueve la capa dañada. La referencia consultada menciona etching con soluciones basadas en KOH o mezclas ácidas (HNO_3/HF) para remover daño. En control de procesos, la clave es balancear tasa de ataque, anisotropía y generación de microrugosidad, evitando pits que podrían nuclear defectos en capas posteriores.

Pulido: hacia rugosidad nanométrica y planitud

El pulido de wafer es un proceso multietapa (químico-mecánico) con slurry ultrafino (10–100 nm) y materiales abrasivos (Al_2O_3 , SiO_2 , CeO_2), para alcanzar superficie “mirror” con rugosidad de escala



atómica. El pulido moderno se integra con CMP (chemical mechanical planarization) para control de topografía a escala wafer, vital para profundidad de foco en litografía avanzada.

Limpieza: control de partículas e ionic contaminants

El documento consultado señala que el wafer se limpia con químicos ultrapuros para remover agentes de pulido y garantizar especificación de partículas. En nodos avanzados, el control de partículas se correlaciona directamente con yield; una partícula puede imprimir un defecto crítico por shadowing, contaminación química o defectos en resist.

Especificaciones del wafer: orientación, rugosidad, dopaje y resistividad

El wafer “prime” se define por especificaciones metrológicas: diámetro y tolerancia, orientación cristalográfica, tipo de superficie (SSP/DSP), rugosidad y dopaje/resistividad. El documento consultado detalla tolerancias típicas de diámetro y orientación, y describe rangos de rugosidad para superficies pulidas (≈ 1 nm; incluso 0.5 nm técnicamente viable) y superficies no pulidas (micrómetros). Asimismo, discute que la dopación aumenta conductividad y que la concentración no es perfectamente homogénea, por lo que se especifica un rango de resistividad.

Fundamentos de litografía EUV

Diferencias estructurales vs DUV: por qué EUV es un “sistema en vacío”

EUV opera en **13.5 nm**, donde la absorción en aire es extrema; por ello, la trayectoria óptica, desde fuente hasta wafer, ocurre en vacío y con óptica reflectiva. ASML describe que sus plataformas EUV emplean luz de 13.5 nm generada por fuente basada en plasma de estaño, y proyección con óptica reflectiva con NA de 0.33 en sistemas NXE.

El modelo de resolución de Rayleigh se mantiene como aproximación:

$$R \approx k_1 \frac{\lambda}{NA}$$

pero en EUV, los trade-offs se desplazan: reducir k_1 y aumentar NA implica tolerancias de aberración, control de flare, y costos de máscara/resist muy superiores a DUV.



Fuente EUV: plasma de estaño excitado por láser (LPP)

ASML describe un esquema de generación donde un láser de CO_2 impacta gotas de estaño para vaporizar y crear un plasma que emite EUV, repitiéndose a tasas muy altas (del orden de decenas de miles de eventos por segundo). En física, el plasma de Sn exhibe líneas de emisión cercanas a 13.5 nm; la ingeniería del sistema optimiza conversión de energía láser a EUV, mitigando deposición de Sn en colectores y reduciendo contaminación de la cadena óptica.

Este subsistema impone requerimientos severos de:

- estabilidad de potencia EUV (impacta dosis y CD),
- control de debris (Sn) y protección de colector,
- integración con vacío y manejo térmico.

Óptica EUV: reflectividad multicapa y pérdidas acumuladas

A 13.5 nm no hay lentes transmisivas útiles; se usan espejos multicapa (Mo/Si) con reflectividades de orden ~70% a incidencia normal en estado del arte, según literatura de óptica EUV. Debido a múltiples reflexiones en el tren óptico, las pérdidas se acumulan, incrementando la demanda de potencia de fuente para mantener throughput.

Máscara EUV (reticle): reflectiva y multicapa

A diferencia de DUV (máscara transmisiva), la máscara EUV es reflectiva y utiliza estructuras multicapa para reflejar 13.5 nm, con un absorbedor que define el patrón. La literatura técnica sobre blanks/metrología de máscara EUV destaca el uso de multilayers reflectivos y la necesidad de control de defectos enterrados (“buried defects”) que pueden imprimir fallas en el wafer.

La consecuencia físico-metrológica es crítica: defectos a escala nanométrica en multilayer pueden convertirse en defectos impresos por scattering/phase effects, elevando exigencias de inspección actínica y reparación.

Pellicle en EUV: protección vs transmisión y estabilidad térmica

La pellicle en EUV es una membrana que protege la máscara de partículas. ASML describe su desarrollo como uno de los hitos habilitadores de EUV en manufactura. La literatura técnica reporta que pellicles con espesores del orden de decenas de nanómetros introducen pérdidas de transmisión



(p. ej., ~10% single pass para ~50 nm en ciertos diseños) y enfrentan calentamiento/estabilidad mecánica bajo irradiación EUV. El compromiso es directo: mayor robustez mecánica suele aumentar absorción; menor absorción puede reducir margen térmico o estabilidad.

Sistemas ASML: 0.33 NA (NXE) y transición a High-NA 0.55 (EXE)

NXE (0.33 NA): plataforma de manufactura de alto volumen

ASML indica que su plataforma NXE utiliza óptica reflectiva con $NA=0.33$ y expone wafers de 300 mm con luz EUV 13.5 nm. En manufactura, 0.33 NA habilitó patrones críticos con reducción de multipatronado en capas fundacionales, aunque todavía convive con técnicas de double patterning para algunos objetivos de pitch y k_1 .

High-NA EUV (0.55 NA): EXE y el cambio de régimen

ASML describe la plataforma **TWINSCAN EXE:5000** como el primer sistema High-NA con $NA=0.55$ y capacidad de resolución nominal “8 nm”, enfatizando densidades mayores y reducción de complejidad de multipatronado. Imec, desde la perspectiva de investigación aplicada, enfatiza las promesas de High-NA: escalado dimensional, simplificación de proceso y flexibilidad de diseño, a medida que los primeros sistemas llegan al ecosistema industrial.

En términos de física de imagen, aumentar NA reduce R_{lineal} mente, pero incrementa:

- sensibilidad a aberraciones,
- requerimientos de estabilidad overlay/foco,
- impacto de estocasticidad (por menor volumen efectivo de resist y features más estrechas),
- complejidad de máscara (incluyendo efectos 3D y shadowing).

Fotore Resist en EUV: interacción fotón-materia y estocasticidad

Energía fotónica y cascadas de electrones secundarios

Un fotón EUV de 13.5 nm posee energía ~92 eV. La absorción en resist genera electrones secundarios que inician reacciones químicas (en CAR: chemically amplified resists) o cambios en materiales inorgánicos (metal-oxide resists). Este régimen difiere de DUV (6–7 eV) y amplifica la relevancia de eventos discretos (conteo de fotones) en la variabilidad de CD.



Shot noise y defectos estocásticos

La densidad de fotones en EUV es menor que en DUV para una misma energía de exposición, por lo que la estadística de Poisson y el shot noise se vuelven dominantes en la variabilidad de dose-to-clear y en defectos raros (microbridges, pinching). Un artículo reciente discute explícitamente que EUV se vuelve más sensible a efectos estocásticos debido a menor densidad fotónica, destacando el rol de controlar estocasticidad como limitante de calidad de patrón.

En un marco formal, si N es el número promedio de fotones absorbidos por volumen crítico, la fluctuación relativa es $\sigma_N/N \approx 1/\sqrt{N}$. Reducir feature size reduce el volumen y, por tanto, N , aumentando variabilidad relativa. Este argumento —aunque simple— captura por qué High-NA exagera el problema si no se incrementa eficiencia de absorción/quantum yield del resist o se ajusta la química para reducir amplificación de variabilidad.

LER/LWR como puente entre litografía y rendimiento de dispositivo

La rugosidad de borde (LER) y de ancho (LWR) se vuelve crítica a escala de compuerta/interconexión. Literatura académica ha modelado LER en EUV y su impacto en dispositivos (p. ej., FinFETs), relacionando variabilidad geométrica con degradación eléctrica. En un artículo Q1/Q2, la discusión debe vincular métricas de patterning (σ_{CD} , LER) con presupuestos de variabilidad del transistor y márgenes de diseño estadístico.

Resists avanzados y ventanas de proceso

Imec discute limitaciones de LER/LWR y comportamiento en resist, especialmente cuando se reduce espesor de resist (trade-off: mejor resolución vs mayor roughness). La optimización moderna implica co-diseño de resist, PEB (post-exposure bake), química de revelado y parámetros de scanner (iluminación, dosis) para maximizar “process window”.

Integración de proceso: overlay, metrología y control de contaminación

Overlay y estabilidad mecatrónica

El escalado litográfico no es únicamente resolución; el **overlay** (alineamiento entre capas) es un determinante directo de yield y performance. En EUV/High-NA, la sensibilidad a distorsiones térmicas,



vibraciones y drift incremental. Aunque los detalles cuantitativos de presupuestos suelen ser propietarios, el punto académico clave es que overlay debe cerrarse con control en lazo (metrología-a-fabricación) y con etapas de posicionamiento interferométrico y estructuras de base de ultra baja expansión.

Vacío, outgassing y contaminación

EUV requiere vacío; resist y materiales en retícula pueden outgasear bajo EUV, depositando contaminantes en espejos o máscara. Esto impone restricciones de materiales, bake-out, y limpieza. Además, el tin debris de fuente es un riesgo de contaminación y degradación del colector; la ingeniería del subsistema fuente incluye mitigaciones complejas.

Cadena de inspección: máscara, wafer y actinic metrology

Defectos en máscara EUV (incluyendo buried defects) requieren inspección especializada; la literatura técnica discute fabricación y metrología de mask blanks EUV como tema central. A escala fab, el control estadístico del proceso (SPC) incorpora metrología de CD, overlay, roughness y defectividad con retroalimentación a dosis, focus y etch.

Límites fundamentales y trayectorias tecnológicas

“Bottlenecks” físicos: fotones, reflectividad y estadística

Tres límites físicos se combinan:

1. **Pérdidas ópticas** por reflectividad <100% (multicapa Mo/Si) y múltiples espejos, que exigen alta potencia de fuente para throughput.
2. **Shot noise** por conteo finito de fotones absorbidos, amplificado por features pequeñas y resist delgado.
3. **Cascadas de electrones secundarios** que acoplan energía EUV a química del resist, introduciendo estocasticidad química y sensibilidad a microvariaciones.

Estos límites no son “problemas de implementación”; son manifestaciones de estadística y absorción en un régimen energético específico.

“Bottlenecks” de ingeniería: máscara, pellicle y productividad

En ingeniería, EUV demanda:



- **máscaras reflectivas** con control extremo de defectos, incluyendo enterrados, y corrección de efectos 3D;
- **pellicles** con alta transmisión y estabilidad térmica;
- **fuelle LPP** estable con mitigación de debris;
- **mecatrónica** capaz de overlay y foco en escalas sub-nanométricas en presencia de perturbaciones.

La plataforma High-NA promete simplificar multipatronado y mejorar densidad, pero desplaza la carga a resist, máscara y control overlay más exigentes. ASML e imec describen esta transición como un salto tecnológico con nuevas capacidades y desafíos.

Convergencia: co-diseño “scanner-resist-mask-process”

La lectura contemporánea de EUV es co-diseño: no existe “mejor resist” sin considerar dosis/throughput; no existe “mejor NA” sin considerar máscara 3D y flare; no existe “mejor resolución” sin cierre de LER y estocasticidad. La investigación de alto impacto tiende a cuantificar estos acoplamientos con modelos y experimentos sistemáticos (p. ej., sensibilidad de LER a dosis, espesor, PEB, y óptica).

CONCLUSIONES

El wafer de silicio es un producto de ciencia de materiales y metrología: el crecimiento CZ/FZ define impurezas y dopaje; el slicing y lapping introducen daño que debe ser eliminado por etching; el pulido y limpieza llevan la superficie a rugosidad nanométrica y especificación de partículas, habilitando litografía avanzada.

EUV representa un cambio de paradigma: óptica reflectiva a 13.5 nm, operación en vacío y fuente LPP de estaño; la máscara se vuelve reflectiva multicapa; la pellicle se vuelve un componente crítico; y el resist entra en un régimen dominado por estocasticidad y shot noise. En la línea ASML, NXE (0.33 NA) habilita manufactura de alto volumen, mientras que High-NA EXE (0.55 NA) se orienta a resolución superior y simplificación de proceso, a costa de mayores desafíos de máscara, resist y metrología.

Como agenda Q1/Q2, las oportunidades científicas más directas se ubican en: (i) reducción cuantificable de defectos estocásticos, (ii) modelos predictivos de LER/LWR integrados con



rendimiento de dispositivo, (iii) metrología actínica y control de defectos de multilayers, y (iv) optimización conjunta de pellicle-mask-resist-scanner para maximizar process window sin penalizar throughput.

REFERENCIAS BIBLIOGRÁFICAS

ASML. (n.d.). *EUV lithography systems – TWINSCAN NXE:3600D*. ASML.

ASML. (n.d.). *EUV lithography systems – TWINSCAN EXE:5000 (High NA)*. ASML.

ASML. (n.d.). *EUV lithography systems (Products)*. ASML.

ASML. (2022, September 14). *The EUV pellicle – indistinguishable from magic*. ASML (Stories).

ASML. (2024, January 25). *5 things you should know about High NA EUV lithography*. ASML (Stories).

Benoit, N., Jonnard, P., Rolland, G., et al. (2005). Radiation stability of EUV Mo/Si multilayer mirrors.

Materials Science and Engineering: B, 124–125, 66–71.

Brouns, D., et al. (2017). Development and performance of EUV pellicles. *Advanced Optical Technologies*. (PDF).

Imec. (2021, October 4). *High-NA EUV lithography: the next step after EUVL*. Imec.

Imec. (2025). *The case for High NA EUV: unlocking the next era of chip manufacturing*. Imec.

Kim, S. K., et al. (2021). Line-edge roughness from extreme ultraviolet lithography to device performance. *Micromachines*.

MicroChemicals GmbH. (2023). *Silicon wafer production and specifications* (Application note).

Park, J. Y., et al. (2025). Unraveling the relative impact of material and optical factors on stochastic behavior in EUV lithography. *Scientific Reports*.

Schröder, S., et al. (2007). EUV reflectance and scattering of Mo/Si multilayers. *Optics Express*.

Seidel, P., et al. (2003). EUV mask blank fabrication & metrology. *AIP Conference Proceedings*.

